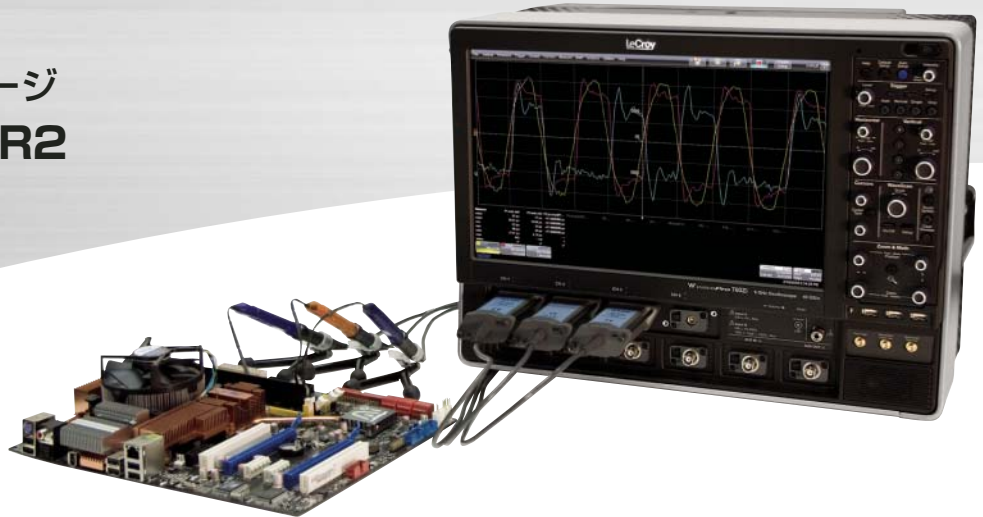


## DDR2試験パッケージ QualiPHY-DDR2



### 主な機能と特長

- 400MHz、533MHz、667MHz、800MHz、1066MHzおよび任意の速度のDDR2信号に対応
- 多数のサイクルに渡る信号の計測をベースにした統計結果により、高い信頼性のDDR2インターフェースの試験を実行する最速の手法
- ワーストケースの測定画面が、レポートの中に波形の信号名と関連する電圧レベルとともに掲載
- Stop on test/failure機能により、特定のテストで試験を中断して、オシロスコープの画面上で計測結果を個別にチェック
- JEDEC仕様：JESD79-2EとJESD208、およびインテル仕様：DDR2 667/800 JEDEC仕様の付録レビジョン1.1とインテルDDR2 400/533 JEDEC仕様の付録レビジョン1.0によって規定されている項目を全て網羅

テレダイン・レクロイのQualiPHY-DDR2、DDR2試験パッケージは、最高のDDR2メモリ・インターフェース試験ツールです。400MHz、533MHz、667MHz、800MHz、1066MHzと任意の速度に対応しています。QualiPHY-DDR2は、クロック（JEDECの仕様とインテルの仕様:JEDEC仕様の付録によって規定される電気およびタイミング・テスト）に完全に準拠したテストを行うことができます。

テレダイン・レクロイのQualiPHYフレームワークは、シンプルなユーザ・インターフェースを持つので操作が簡単で、かつのカスタマイズや判定条件の変更に柔軟性に対応できます。また、グラフィカルな結線図を示すことにより確実な装置の接続を指示し、各項目でワーストケースの不良測定結果の画面を含む全ての計測結果をレポートにまとめることができます。そのうえ、QualiPHY-DDR2によってされる全ての波形データは、後から再試験ができるように保存することができます。

QualiPHY-DDR2を利用することで、非常に高い信頼性でDDR2インターフェースの結果が得られます。DDR2計測値が大きく変動するために、多数のサイクルに渡る信号の計測を行うことが重要です。

非常に短時間で多数のサイクルに渡る信号を計測することができると、捕らえた測定値の最大値と最小値の信頼性が高くなります。

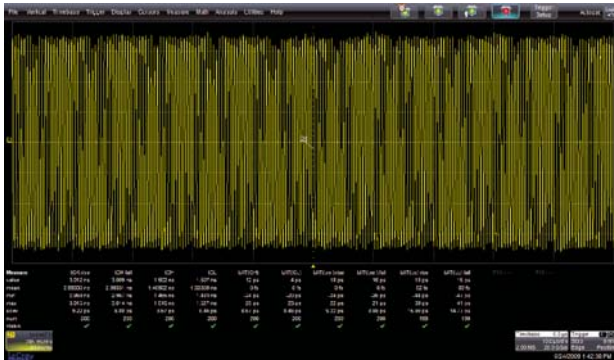
QualiPHY-DDR2では、DDR2信号の自動特性評価機能に加えて、オシロスコープにDDR2信号の強力なデバッグ能力を付加します。故障の根本原因は、オシロスコープに搭載された以下に示す先進のシリアル・データ解析ツールのを駆使して迅速かつ容易に発見することができます。

SDA II、Eye Doctor II、WaveScanや他の豊富なツール群



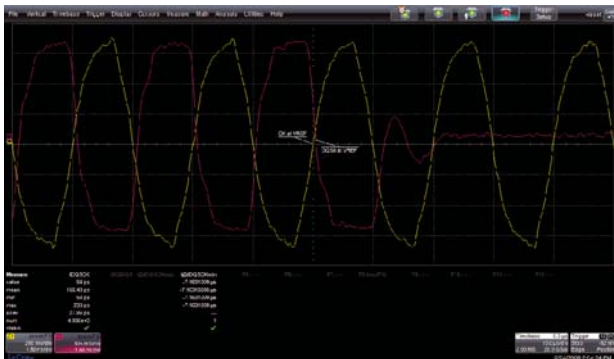
# 広範なDDR2試験項目

広範なDDR2試験項目



## クロック試験

JEDEC仕様書によって規定された全てのクロック試験を実行します。試験の項目にはaverage clock period, absolute clock period, average high/low pulse width, absolute high/low pulse width, half period jitter, clock period jitter, cycle-to-cycle period jitter やcumulative error over n periodが含まれています。



## タイミング試験

この試験は、特定のDDR2イベントのタイミングを確認します。上の図は、ストロープ出力のクロック信号からのアクセス・タイムがJEDEC仕様によって規定される制限の範囲内であることを確認するtDQSCK試験を示しています。

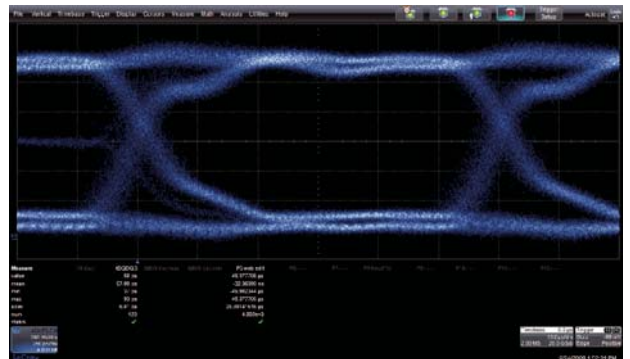
この試験では、tDQSCKは、DDR2のリード・バーストの5000エッジで測定され、ワーストケースの値が表示されています。



## 電気試験

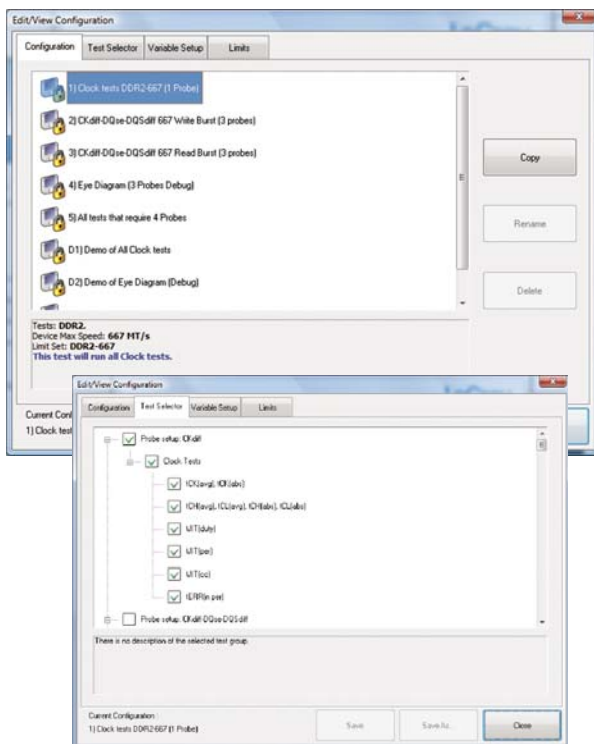
この試験では、DDR2信号の電気的特性を計測します。上の図は、データ信号、ストロープ信号とクロック信号のスルーレートを計測するSoutP試験を示しています。1,000以上のエッジでスルーレートの計測が行われ、その中のワーストケースの値が表示されています。

信号波形は、信号名が示されているので簡単に判別できるようになっています。その上、カーソルがどのレベルを使ってスルーレートが計測されたかを示します。

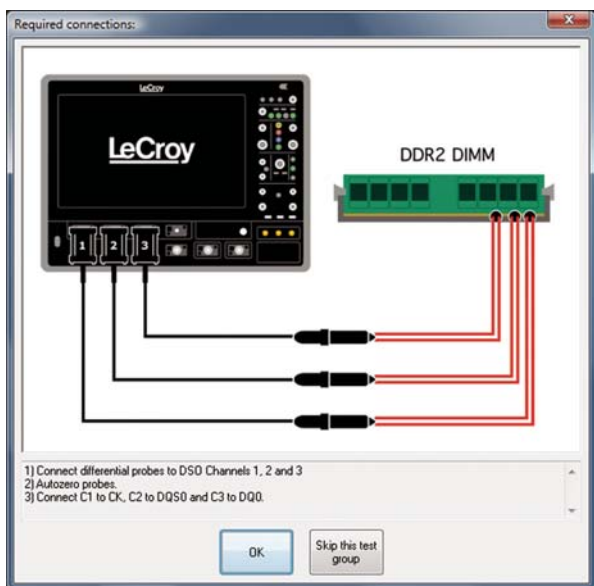


## アイパターン



アイパターンは、シリアル・データ信号のデバッグにおいて非常に強力なツールです。QualiPHY-DDR2では、アイパターンをリード・バースト、またはライト・バーストから描画することができるので、データ信号にレシーバがエラーなく読み取るのに必要なシグナル・インテグリティがあるかどうかを確認することができます。



QualiPHYでは、多くのプリセットされたコンプライアンス試験項目のセットが用意されていますが、新しく独自の試験項目のセットを作ることも、セットされた試験項目を制限することもできます。



グラフィカルな結線図は、その試験に必要な装置の接続などを指示します。

### DDR2 Test Report

**Overall result: Pass**

DUT: Kingston KV7067	Validation Configuration
Comment: Clock Tests	DDR2-667
Time of test: 06/04/2009 10:37:50	DDR2
Operator: CB	FALCON-11B Model: DCA76021
Temperature: 23° C	FALCON-11B
	FALCON-11B

Configuration in use: 5.9.9.2 (Build 128841)  
 Limits in use: 0.5.9.0 (Build 120594)  
 Standard in use: QualiPHY script version: 0.1.3.367  
 Oscilloscope Name: QualiPHY version: 1.2.0.3  
 Oscilloscope Serial #: 1.2.0.3

#### Summary Table

Pass	Test	Measurement	Current Value	Test Criteria
?	Clock	Clock Speed Grade	668.174 MHz	Informational Only
?	Clock	CK(avg),_min	2.993 ns	Informational Only
?	Clock	CK(avg),_tal	2.993 ns	Informational Only
✓	Clock	CK(avg),_rise_min	2.875 ns	2.875 ns <= x <= 3.125 ns
✓	Clock	CK(avg),_rise_max	3.019 ns	2.875 ns <= x <= 3.125 ns
✓	Clock	CK(avg),_fall_min	2.986 ns	2.875 ns <= x <= 3.125 ns
✓	Clock	CK(avg),_fall_max	3.023 ns	2.875 ns <= x <= 3.125 ns
✓	Clock	CK(avg)	495.6 mCK(avg)	400.0 mCK(avg) <= x <= 550.0 mCK(avg)
✓	Clock	CK(avg)	504.4 mCK(avg)	400.0 mCK(avg) <= x <= 550.0 mCK(avg)
✓	Clock	CK(avg),_min	1.514 ns	1.315 ns <= x <= 1.685 ns
✓	Clock	CK(avg),_max	1.531 ns	1.315 ns <= x <= 1.685 ns
✓	Clock	CK(avg),_min	1.457 ns	1.315 ns <= x <= 1.685 ns
✓	Clock	CK(avg),_max	1.489 ns	1.315 ns <= x <= 1.685 ns
✓	Clock	MT(avg),_min	-29 ps	-125 ps <= x <= 125 ps
✓	Clock	MT(avg),_max	31 ps	-125 ps <= x <= 125 ps

コンプライアンス・レポートは、計測された全ての値、その試験の評価基準と、試験を実行したときの画面情報を含みます。コンプライアンス・レポートは、HTML、PDFまたはXMLとして作成することができます。

## QualiPHY

QualiPHYは、高速シリアル・バスでコンプライアンス試験を専門知識がなくとも、短時間で簡潔に実行できるように設計されています。

- ウィザード機能により、テスト手順をナビゲートします。
- 規定された手順に従って各々の測定を行います。
- 各々の計測値を対応する規格の許容範囲と比較して判定します。
- 全ての測定結果をまとめてレポートを作成します
- QualiPHYなら、いつでも正しい方法で試験が実行できます。

# 仕様とオーダーインフォメーション

## QualiPHY-DDR2試験項目の仕様

クロック試験	電気試験 (続き)	タイミング試験 (続き)
tCK (avg) - Average Clock Period	AC Overshoot Peak Amplitude	tDSH - DQS Falling Edge Hold Time from CK
tCH(avg) - Average High Pulse Width	AC Overshoot Area Above VDDQ	tWPRE - Write Preamble
tCL(avg) - Average Low Pulse Width	AC Undershoot Peak Amplitude	tWPST - Write Postamble
tCK (abs) - Absolute Clock Period	AC Undershoot Area Below VSSQ	tRPRE - Read Preamble
tCH(abs) - Absolute High Pulse Width	VID(ac) - AC Differential Input Voltage	tRPST - Read Postamble
tCL(abs) - Absolute Low Pulse Width	VIX(ac) - AC Differential Input Cross Point Voltage	tDQSQ - Skew between DQS and DQ
tJIT(duty) - Half Period Jitter	VOX(ac) - AC Differential Output Cross Point Voltage	tDQSS - DQS Latching Transition to Clock Edge
tJIT(per) - Clock Period Jitter		tDQSCK - DQS Output Access Time from CK/CK#
tJIT(cc) - Cycle to Cycle Period Jitter		tAC - DQ Output Access Time from CK/CK#
tERR(n per) - Cumulative error		tDS(base) - DQ and DM Input Setup Time
電気試験	タイミング試験	tDH(base) - DQ and DM Input Hold Time
SlewR - Input Rising Edge Slew Rate	tHZ(DQ) - DQ High Impedance Time from CK/CK#	tIS(base) - Address and Control Input Setup Time
SlewF - Input Falling Edge Slew Rate	tLZ(DQ) - DQ Low Impedance Time from CK/CK#	tIH(base) - Address and Control Input Hold Time
VIH(ac) - AC Input Logic High	tLZ(DQS) - DQS Low Impedance Time from CK/CK#	tDS1 (base) - DQ and DM Input Setup Time (Single-ended Strobe)
VIH(dc) - DC Input Logic High	tHP - CK Half Pulse Width	tDH1 (base) - DQ and DM Input Hold Time (Single-ended Strobe)
VIL(ac) - AC Input Logic Low	tQHS - DQ Hold Skew Factor	
VIL(dc) - DC Input Logic Low	tQH - DQ/DQS Output Hold Time from DQS	
VSWING - Input Signal Maximum Peak to Peak Swing	tDQSH - DQS Input High Pulse Width	
SoutR - Output Slew Rate Rise	tDQSL - DQS Input Low Pulse Width	
SoutF - Output Slew Rate Fall	tDSS - DQS Falling Edge to CK Setup Time	
tSLMR - Output Slew Rate Matching Ratio		

## オーダー・インフォメーション

QPHY-DDR2	QualiPHY対応DDR2ソフトウェア・オプション
対応機種	
WavePro 740Zi/760Zi	WaveProデジタル・オシロスコープ 4GHzと6GHz、20GS/s、4Ch、10Mポイント/Ch (インタリーブ時40GS/s、20Mポイント/Ch) 50Ωと1MΩ入力標準搭載
WaveMaster 804Zi/806Zi 808Zi/813Zi 816Zi	WaveMasterデジタル・オシロスコープ 4~16GHz、40GS/s、4Ch、10Mポイント/Ch 50Ωと1MΩ入力標準搭載
WaveMaster 820Zi/825Zi 830Zi	WaveMasterデジタル・オシロスコープ 20、25、30GHz、80GS/s、2Ch、 20Mポイント/Ch (16GHz、40GS/s、4Ch、 20Mポイント/Ch)50Ωと1MΩ入力標準搭載
SDA 725Zi/735Zi 740Zi/760Zi	SDAシリアル・データ・アナライザ 2.5、3.5、4、6GHz、20GS/s、4Ch、 20Mポイント/Ch (インタリーブ時40GS/s、 40Mポイント/Ch)50Ωと1MΩ入力標準搭載
SDA 804Zi 806Zi/808Zi 813Zi/816Zi	シリアルデータ・アナライザ 4~16GHz、40GS/s、4Ch、20Mポイント/Ch 50Ωと1MΩ入力標準搭載

## 対応機種

SDA 820Zi/825Zi 830Zi	シリアル・データ・アナライザ 20、25、30GHz、80GS/s、2Ch、 40Mポイント/Ch (16GHz、40GS/s、4Ch、 20Mポイント/Ch) 50Ωと1MΩ入力標準搭載
DDA 735Zi/760Zi	ディスク・ドライブ・アナライザ 3.5と6GHz、20GS/s、4Ch、20Mpts/Ch (インタリーブ時40GS/s、20Mpts/Ch) 50Ωと1MΩ入力標準搭載
DDA 816Zi	ディスク・ドライブ・アナライザ 16GHz、40 GS/s、4 Ch、20 Mpts/Ch 50Ωと1MΩ入力標準搭載
DDA 825Zi	ディスク・ドライブ・アナライザ 25GHz、80GS/s、2Ch、40Mpts/Ch (16GHz、40GS/s、4Ch、20Mpts/Ch) 50Ωと1MΩ入力標準搭載

## 推奨アクセサリ

WL-Plink D610	WaveLink ProLinkプローブ本体 WaveLink 6 GHz、2.5Vp-p差動プローブ、 スモールチップ・モジュール
D620	WaveLink 6 GHz、5Vp-p差動プローブ、 スモールチップ・モジュール



## テレダイン・レクロー・ジャパン株式会社

本社 〒183-0006 東京都府中市緑町3-11-5 (芳文社府中ビル3F)  
TEL : 042-402-9400 (代) FAX : 042-402-9586  
サービスセンター TEL : 042-402-9401 (代) FAX : 042-402-9583  
大阪オフィス 〒564-0063 大阪府吹田市江坂町1-14-33 (TCSビル4F)  
TEL : 06-6330-0961 (代) FAX : 06-6330-0965

ホームページ <http://teledynelecroy.com/japan/>  
メールでのお問合せ [contact.jp@teledynelecroy.com](mailto:contact.jp@teledynelecroy.com)

御用命は…