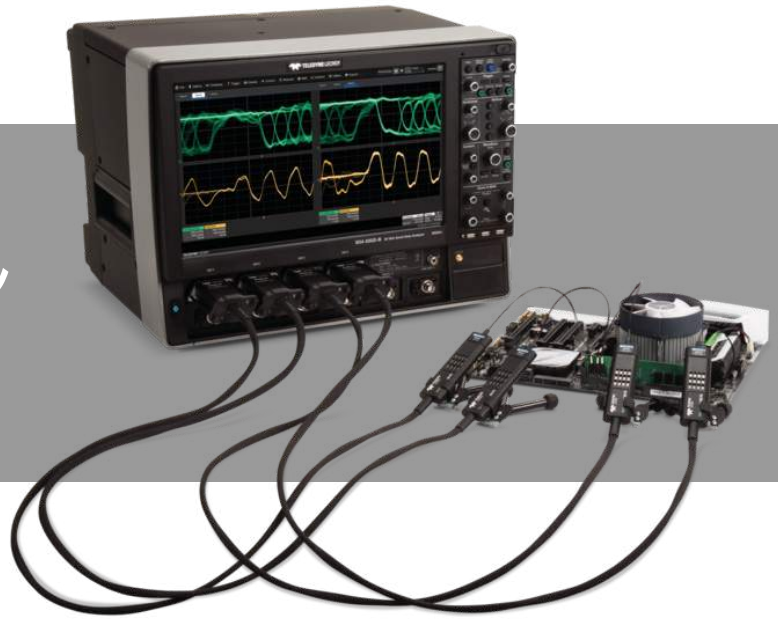


LPDDR2 自動テストソリューション QPHY-LPDDR2



主な機能と特徴

- 400MHz、533MHz、667MHz、800MHz、1066MHz、カスタム速度のLPDDR2信号に対応
- 多数のサイクルに渡る信号の計測をベースにした統計結果により、高い信頼性のLPDDR2インターフェースの試験を実行する最速の手法
- ワorstケースの測定画面が、レポートの中に波形の信号名と関連する電圧レベルとともに掲載
- Stop on test/failure機能により、特定のテストで試験を中断して、オシロスコープの画面上で計測結果を個別にチェック
- JEDEC JESD209-2E仕様によって規定されている項目を全て網羅

テレダイン・レクロイのQualiPHY LPDDR2は、最高のLPDDR2メモリ・インタフェース試験ツールです。400MHz、533MHz、667MHz、800MHz、933MHz、1066MHzと任意の速度に対応しています。QPHY-LPDDR2には、JESD209-2E仕様で指定されているクロック、電気、およびタイミングテストに準拠したテストを行うことができます。

テレダイン・レクロイのQualiPHYフレームワークは、シンプルなユーザー・インタフェースを持つので操作が簡単で、さらにカスタマイズや判定条件の変更に柔軟性に対応できます。また、グラフィカルな結線図を示すことにより確実な装置の接続を指示し、各項目でワorstケースの不良測定結果の画面を含む全ての計測結果をレポートにまとめることができます。QualiPHY-LPDDR2によって得られる全ての波形データは、後から再試験ができるように保存することができます。

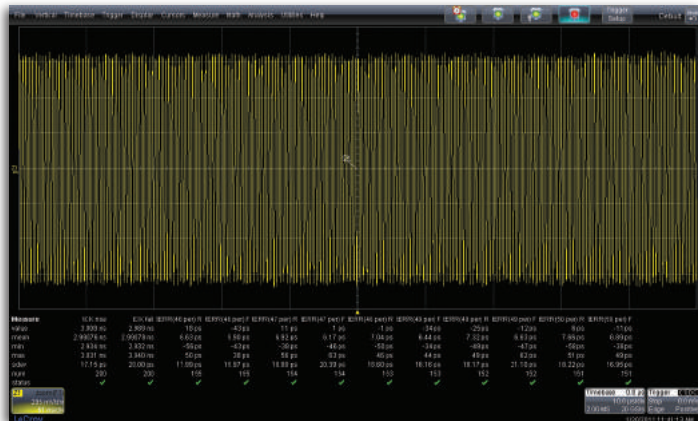
QualiPHY-LPDDR2を利用することで、非常に高い信頼性でLPDDR2インターフェースの結果が得られます。LPDDR2では計測値が大きく変動するため、多数のサイクルに渡る信号の計測を行うことが重要です。

非常に短時間で多数のサイクルに渡る信号を計測することができると、捕らえた測定値の最大値と最小値の信頼性が高くなります。

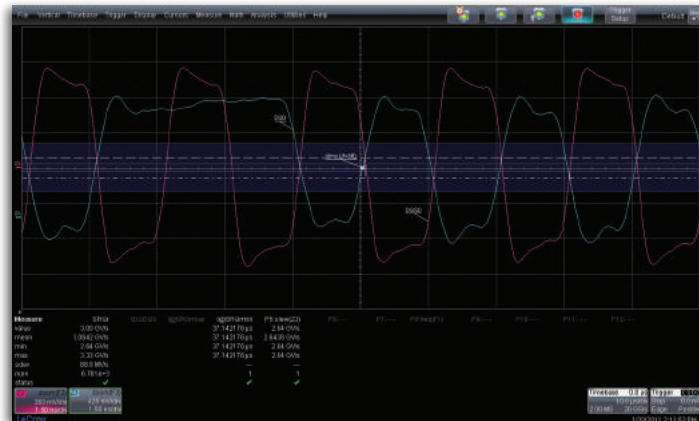
QualiPHY-LPDDR2では、LPDDR2信号の自動特性評価機能に加えて、オシロスコープにLPDDR2信号の強力なデバッグ能力を付加します。故障の根本原因は、オシロスコープに搭載されたSDA III、Eye Doctor™II、WaveScan™など先進のシリアル・データ解析ツールを駆使して迅速かつ容易に発見することができます。



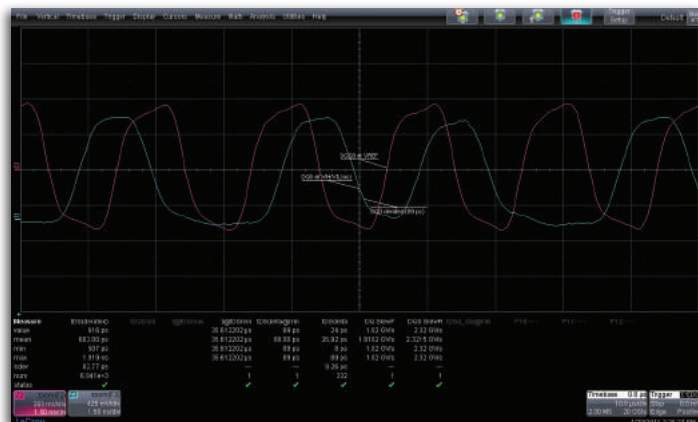
DDR2の広範なテスト項目



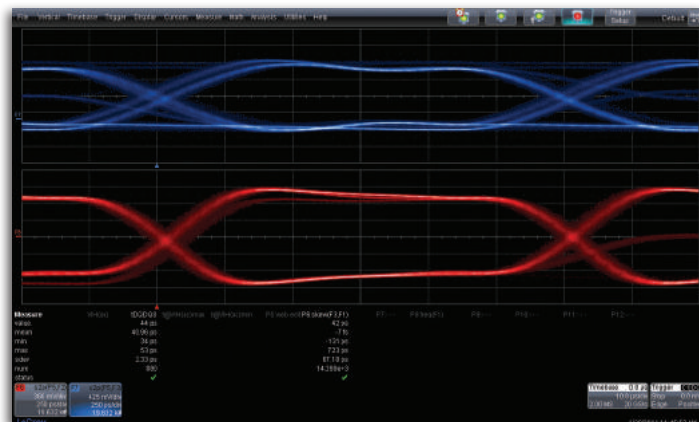
クロックテスト – JEDEC仕様書によって規定された全てのクロックテストを実行します。試験の項目にはaverage clock period, absolute clock period, average high/low pulse width, absolute high/low pulse width, half period jitter, clock period jitter, cycle-to-cycle period jitter やcumulative error over n periodが含まれます。



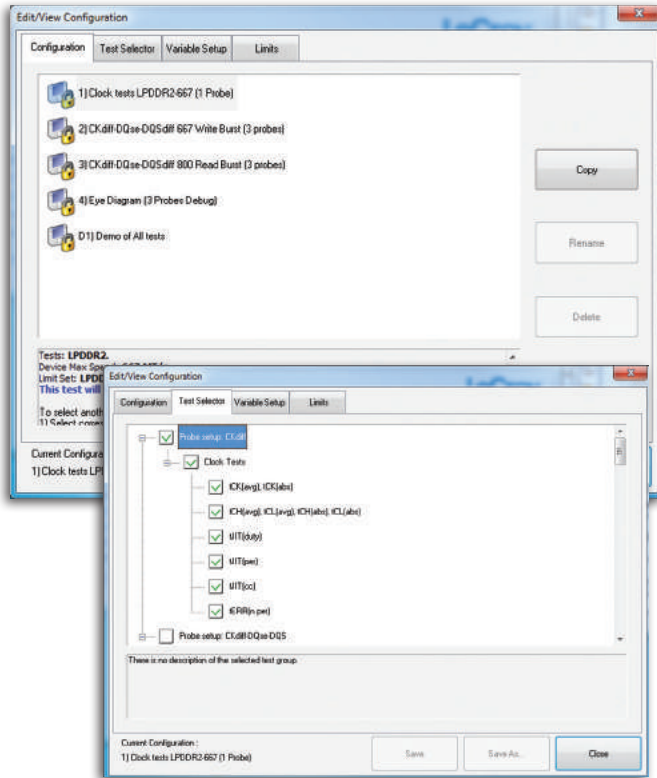
電気テスト – このテストでは、LPDDR2信号の電気的特性を計測します。上の図は、データ信号、ストロブ信号とクロック信号のスルーレートを計測するSoutR試験を示しています。1,000以上のエッジでスルーレートの計測が行われ、その中のワーストケースの値が表示されています。信号波形は、信号名が示されているので簡単に判別できるようになっています。その上、カーソルがどのレベルを使ってスルーレートが計測されたかを示します。





タイミングテスト – このテストは、特定のLPDDR2イベントのタイミングを確認します。上の図は、thetDS (derated) テストがVIH (ac) またはVIL (ac) のDQからVREFのデータストロブ (DQS) までのデータ入力セットアップ時間が、適切なJESD209-2E仕様で指定された制限内であることを示しています。ディレーティングのデルタ値は自動的に計算されます。このテストでは、すべてのLPDDR2書き込みバーストで6000を超えるtDS測定が実行され、ワーストケースの値が表示されています。



アイパターン – アイパターンは、シリアル・データ信号のデバッグにおいて非常に強力なツールです。QualiPHY-LPDDR2では、アイパターンをリード・バーストまたはライト・バーストから描画することができるので、データ信号にレシーバがエラーなく読み取れるのに必要なシグナル・インテグリティがあるかどうかを確認することができます。



QualiPHYでは、多くのプリセットされたコンプライアンステスト項目のセットが用意されていますが、新しく独自のテスト項目のセットを作ること、セットされた項目を制限することもできます。

LPDDR2 Test Report

Overall result: Pass

DUT: Demo
 Comment: Demo of write burst tests
 Time of session start: 01/20/2011 15:11:21
 Operator: NL
 Temperature: 25° C
 Standard in use: LPDDR2

Run#: 20110120 15:11:23
 Time of run: 01) Demo of All tests (Clock)
 Configuration in use: LPDDR2-667
 Limits in use: LCRV0423048003 Model: WMB1921
 Oscilloscope Name: LCRV0423048003
 Oscilloscope Serial #: GCHEIA182097
 Computer: 0.5.4.0 (Build 148405)
 Oscilloscope firmware version: 0.5.9.0 (Build 148405)
 QualiPHY core version: 0.1.2.52
 QualiPHY script version: 0.1.2.52
 Sheet version: 1.2.0.8

Summary Table

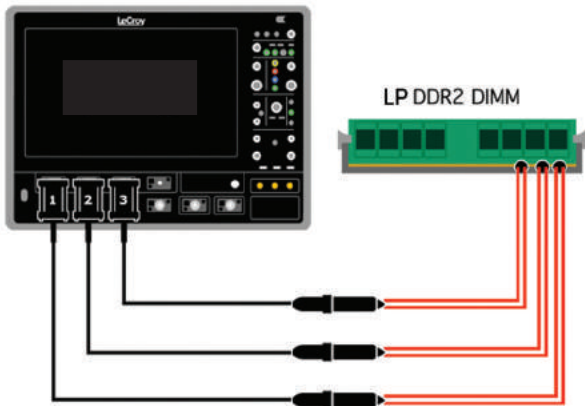
Pass	Run #	Test	Measurement	Current Value	Test Criteria
?	1	Electrical	Clock Speed Grade	668.993 MHz	Informational Only
✓	1	Electrical	VHdLac_Max	1.276 V	x == 1.550 V
✓	1	Electrical	VHdLac_Min	1.142 V	x == 820 mV
✓	1	Electrical	VHdLdc_Max	1.276 V	x == 1.550 V
✓	1	Electrical	VHdLdc_Min	820 mV	x == 730 mV
✓	1	Electrical	VLdLac_Max	58 mV	x == 380 mV
✓	1	Electrical	VLdLac_Min	-103 mV	x == -350 mV
✓	1	Electrical	VLdLdc_Max	390 mV	x == 470 mV
✓	1	Electrical	VLdLdc_Min	-103 mV	x == -350 mV
?	1	Electrical	V20MHz_Max	1.344 V	Informational Only
✓	1	Electrical	DQ Overshoot peak amplitude_Max	79 mV	x == 350 mV
✓	1	Electrical	DQ Overshoot area_Max	64 pV.s	x == 240.000000000 mV.s
✓	1	Electrical	DQ Undershoot peak amplitude_Max	103 mV	x == 350 mV
✓	1	Electrical	DQ Undershoot area_Max	83 pV.s	x == 240.000000000 mV.s
✓	1	Electrical	DQS Overshoot peak amplitude_Max	102 mV	x == 350 mV
✓	1	Electrical	DQS Overshoot area_Max	0 pV.s	x == 240.000000000 mV.s

コンプライアンス・レポートは関連する全てのテストされた値、仕様リミット値およびスクリーンキャプチャを含みます。コンプライアンスレポートは、HTML、PDF、またはXML形式で作成できます。

QualiPHY

QualiPHYは、高速シリアル・バスのコンプライアンス・テストに関する特別な知識が無くても、誰でも短時間に試験ができるソフトウェアです。

- 各テスト設定ごとにユーザーに手順をガイド
- 関連するテスト手順に従って各測定を実行
- 該当する仕様リミット値と各計測値を比較
- 全ての結果を完全にドキュメント化
- QualiPHYはユーザが毎回正しい方法でテストを実施できるようにサポートします！



接続図を見ながら、必要な接続を行うことができます。

仕様およびオーダー情報

LPDDR2 テスト項目

クロック・テスト

tCK (avg)	Clock period
tCK (abs)	Clock period
tCK (min)	Clock period
tCH (avg)	Clock HIGH pulse width
tCH (abs)	Clock HIGH pulse width
tCL (avg)	Clock LOW pulse width
tCL (abs)	Clock LOW pulse width
tJIT(duty)	Duty cycle jitter
tJIT(per)	Clock period jitter
tJIT(cc)	Cycle-to-cycle clock period Jitter
tERR(nper)	Clock cumulative error across n cycles

タイミング・テスト

tDQSQDQS	DQSおよび関連するDQ信号用のDQS-DQスキュー
tQH	DQS-DQ Skew for DQS & Associated DQ Signals
tDS (base+derated)	DQ and DM input setup time
tDH (base+derated)	DQ and DM input hold time
tDQSH	DQS Input high pulse width
tDQSL	DQS Input low pulse width
tDQSS - min	Falling edge setup time
tDQSS - max	Falling edge setup time
tDSS	Falling edge to CK setup time
tDSH	DQS falling edge hold time from CK
tWPST	Write Postamble
tWPRE	Write Preamble
tRPRE	Read Preamble
tRPST	ポストアンブルを読む
tDIPW	DQ and DM input pulse width
tQSH	DQS output high pulse width
tQSL	DQS output low pulse width
tQHP	Data half-period
tQHS for DQx	Data hold skew factor
tDQSCK	DQS output access time from CK_t/CK_c
tVAC for DQx	
tDS/tDH (vref based)	DQ and DM input setup/hold time (Vref based)
tHZ(DQ)	DQ high-Z from clock*15
tHZ(DQS)	DQS high-Z from clock*15
tLZ(DQS)	DQS low-Z from clock*15
tLZ(DQ)	DQ low-Z from clock*15
tIS/tIH (base+derated)	Address and control input setup/hold time
tIS/tIH (vref based)	Address and control input setup/hold time
tIPW	Address and control input pulse width

電気テスト

VIHDQ (AC)	DQ AC input logic high
VIHDQ (DC)	DQ DC input logic high
VILDQ (AC)	DQ AC input logic low
VILDQ (DC)	DQ DC input logic low
SRQdiff -Rise (DQS)	Differential Slew Rate - DQS

電気テスト(続き)

SRQdiff -Fall (DQS)	Differential Slew Rate - DQS
SRQse-Rise	Single-ended Slew Rate
SRQse -Fall	Single-ended Slew Rate
Overshoot/under-shoot	Maximum peak amplitude and maximum area above VDD/below VSS
VSEH/VSEL(ac)	Single-ended high-level /low-level
VIX for CLK+/- and DQSx+/-	Differential Input Cross Point Voltage
Vref(DC)	Reference Voltage
VIH(ac) and VIL(ac) for CAX or other control signals	
tVAC	Required time t VAC above VIH(ac) (below VIL(ac)) for valid transition
tDVAC	Required time t DVAC above VIHDIFF(ac) (below VILDIFF(ac)) for valid transition
Slew rate	Slew rate of input signals
Voh(DC)	DC output high measurement level (for IV curve linearity)
Vol(DC)	DC output low measurement level (for IV curve linearity)
Voh(AC)	AC output high measurement level (for output slew rate)
Vol(AC)	AC output low measurement level (for output slew rate)

その他

Data Eye Height	Size of the vertical opening of the eye diagram
Eye Diagram of write bursts	
Eye Diagram of read bursts	

オーダー情報

製品の説明

製品型式

LPDDR2 コンプライアンス・テスト・オプション

QPHY-LPDDR2

オシロスコープ(≧4GHz帯域幅)

4GHz, 20GS/s, 4ch, 16Mポイント/Ch WaveRunner 9404

4-8 GHz, 20 GS/s, 4 Ch, 100 Mポイント/Ch WavePro 404HD,

高分解能オシロスコープ WavePro 604HD,

WavePro 804HD

4-30 GHz, 40 GS/s, 4 Ch, 20 Mポイント/Ch SDA 804Zi-B,

50Ωおよび1MΩ入力 806Zi-B, 813Zi-B,

816Zi-B, 830Zi-B

推奨プローブ

Probus2用4GHz, 2.5Vp-p 差動プローブシステム D410-A-PB2

Probus2用4GHz, 5Vp-p 差動プローブシステム D420-A-PB2

Probus2用6GHz, 2.5Vp-p 差動プローブシステム D610-A-PB2

Probus2用6GHz, 5Vp-p 差動プローブシステム D620-A-PB2

ProLink用6GHz, 2.5Vp-p 差動プローブシステム D610-A-PL

ProLink用6GHz, 5Vp-p 差動プローブシステム D620-A-PL

© 2022 by Teledyne LeCroy. All rights reserved. 仕様、価格、供給性および納期については予告なく変更することがあります。製品名またはブランド名は各社によって申請された登録商標です。



テレダイン・レクロイ お客様窓口

テレダイン・ジャパン株式会社

本社 〒183-0006 東京都府中市緑町3-11-5(芳文社府中ビル3F)

TEL : 042-402-9400(代) FAX : 042-402-9586

サービスセンター TEL : 042-402-9401(代) FAX : 042-402-9583

大阪オフィス 〒564-0063 大阪府吹田市江坂町1-14-33(TCSビル4F)

TEL : 06-6330-0961(代) FAX : 06-6330-0965

ホームページ <https://teledynelecroy.com/japan/>

メールでのお問合せ lecroy.contact.japan@teledyne.com

御用命は