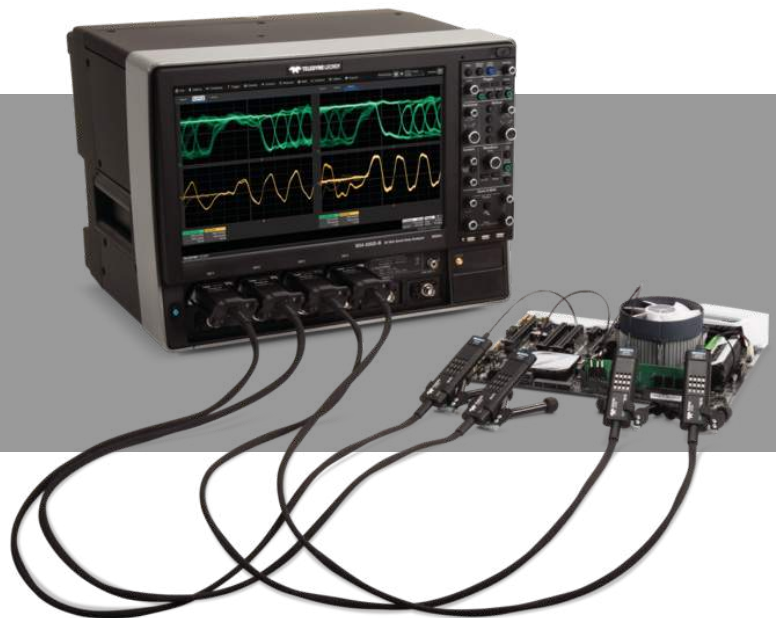


DDR2 自動テストソリューション QPHY-DDR2



主な機能と特徴

- 400MHz、533MHz、667MHz、800MHz、1066MHz、カスタム速度のDDR2信号に対応
- 多数のサイクルに渡る信号の計測をベースにした統計結果により、高い信頼性のDDR2インターフェースの試験を実行する最速の手法
- ワorstケースの測定画面が、レポートの中に波形の信号名と関連する電圧レベルとともに掲載
- Stop on test/failure機能により、特定のテストで試験を中断して、オシロスコープの画面上で計測結果を個別にチェック
- JEDEC仕様：JESD79-2EとJESD208、およびインテル仕様：DDR2 667/800 JEDEC仕様の付録レビジョン1.1とインテルDDR2400/533 JEDEC仕様の付録レビジョン1.0によって規定されている項目を全て網羅

テレダイン・レクロイのQualiPHYDDR2は、最高のDDR2メモリ・インタフェース試験ツールです。400MHz、533MHz、667MHz、800MHz、1066MHzと任意の速度に対応しています。QualiPHYDDR2は、JEDECの仕様とインテルの仕様によって規定されるクロック、電気、およびタイミングテストに準拠したテストを行うことができます。

テレダイン・レクロイのQualiPHYフレームワークは、シンプルなユーザ・インタフェースを持つので操作が簡単で、さらにカスタマイズや判定条件の変更に柔軟性に対応できます。また、グラフィカルな結線図を示すことにより確実な装置の接続を指示し、各項目でワorstケースの不良測定結果の画面を含む全ての計測結果をレポートにまとめることができます。QualiPHY-DDR2によって得られる全ての波形データは、後から再試験ができるように保存することができます。

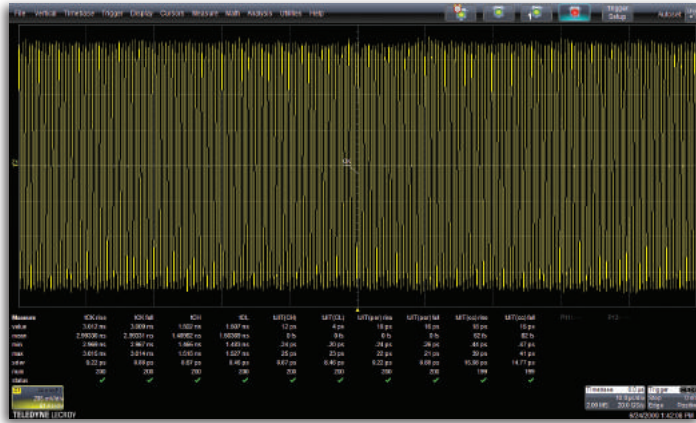
QualiPHY-DDR2を利用することで、非常に高い信頼性でDDR2インターフェースの結果が得られます。DDR2においては計測値が大きく変動するため、多数のサイクルに渡る信号の計測を行うことが重要です。

非常に短時間で多数のサイクルに渡る信号を計測することができると、捕らえた測定値の最大値と最小値の信頼性が高くなります。

QualiPHY-DDR2では、DDR2信号の自動特性評価機能に加えて、オシロスコープにDDR2信号の強力なデバッグ能力を付加します。故障の根本原因は、オシロスコープに搭載されたSDAⅢ、Eye Doctor™ II、WaveScan,™など先進のシリアル・データ解析ツールを駆使して迅速かつ容易に発見することができます。



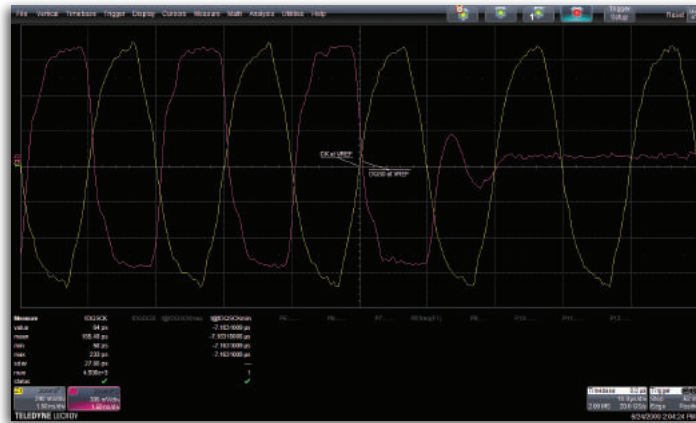
DDR2の広範なテスト項目



クロックテスト - JEDEC仕様書によって規定された全てのクロックテストを実行します。試験の項目には、average clock period, absolute clock period, average high/low pulse width, absolute high/low pulse width, half period jitter, clock period jitter, cycle-to-cycle period jitter やcumulative error over n periodが含まれています。

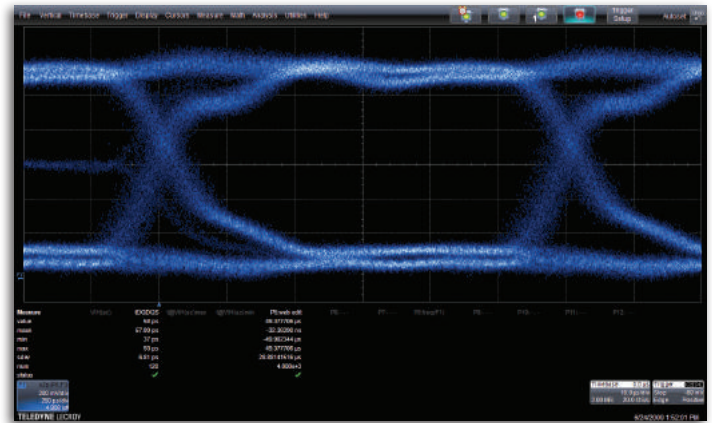


電気テスト - この試験では、DDR2信号の電気的特性を計測します。上の図はデータ信号、ストロブ信号とクロック信号のスルーレートを計測するSoutR試験を示しています。1,000以上のエッジでスルーレートの計測が行われ、その中のワーストケースの値が表示されています。信号波形は、信号名が示されているので簡単に判別できるようになっています。その上、カーソルがどのレベルを使ってスルーレートが計測されたかを示します。



タイミングテスト - このテストは、特定のDDR2イベントのタイミングを確認します。上の図はストロブ出力のクロック信号からのアクセス・タイムがJEDEC仕様によって規定される制限の範囲内であることを確認するtDQSCK試験を示しています。

このテストでは、tDQSCKは、DDR2のリード・バーストの5000エッジで測定され、ワーストケースの値が表示されています。



アイパターン - アイパターンは、シリアル・データ信号のデバッグにおいて非常に強力なツールです。QualiPHY-DDR2では、アイパターンをリード・バーストまたはライト・バーストから描画することができるので、データ信号にレシーバがエラーなく読み取れるのに必要なシグナル・インテグリティがあるかどうかを確認することができます。

仕様およびオーダー情報

DDR2 テスト項目

クロック・テスト

tCK(avg) - Average Clock Period
tCH(avg) - Average High Pulse Width
tCL(avg) - Average Low Pulse Width
tCK(abs) - Absolute Clock Period
tCH(abs) - Absolute High Pulse Width
tCL(abs) - Absolute Low Pulse Width
tJIT(duty) - Half Period Jitter
tJIT(per) - Clock Period Jitter
tJIT(cc) - Cycle to Cycle Period Jitter
tERR(n per) - Cumulative error

先進デバッグ

Eye Diagram of Data and Strobe on Read Cycle
Eye Diagram of Data and Strobe on Write Cycle

電気テスト

SlewR - Input Rising Edge Slew Rate
SlewF - Input Falling Edge Slew Rate
VIH(ac) - AC Input Logic High
VIH(dc) - DC Input Logic High
VIL(ac) - AC Input Logic Low
VIL(dc) - DC Input Logic Low
VSWING - Input Signal Maximum Peak to Peak Swing

電気テスト(続き)

SoutR - Output Slew Rate Rise
SoutF - Output Slew Rate Fall
tSLMR - Output Slew Rate Matching Ratio
AC Overshoot Peak Amplitude
AC Overshoot Area Above VDDQ
AC Undershoot Peak Amplitude
AC Undershoot Area Below VSSQ
VID(ac) - AC Differential Input Voltage
VIX(ac) - AC Differential Input Cross Point Voltage
VOX(ac) - AC Differential Output Cross Point Voltage

タイミング・テスト

tHZ(DQ) - DQ High Impedance Time from CK/CK#
tLZ(DQ) - DQ Low Impedance Time from CK/CK#
tLZ(DQS) - DQS Low Impedance Time from CK/CK#
tHP - CK Half Pulse Width
tQHS - DQ Hold Skew Factor
tQH - DQ/DQS Output Hold Time from DQS
tDQSH - DQS Input High Pulse Width
tDQSL - DQS Input Low Pulse Width
tDSS - DQS Falling Edge to CK Setup Time

タイミング・テスト(続き)

tDSH - DQS Falling Edge Hold Time from CK
tWPRES - Write Preamble
tWPST - Write Postamble
tRPRES - Read Preamble
tRPST - Read Postamble
tDQSQ - Skew between DQS and DQ
tDQSS - DQS Latching Transition to Clock Edge
tDQSCK - DQS Output Access Time from CK/CK#
tAC - DQ Output Access Time from CK/CK#
tDS(base) - DQ and DM Input Setup Time
tDH(base) - DQ and DM Input Hold Time
tIS(base) - Address and Control Input Setup Time
tIH(base) - Address and Control Input Hold Time
tDS1(base) - DQ and DM Input Setup Time (Single-ended Strobe)
tDH1(base) - DQ and DM Input Hold Time (Single-ended Strobe)

オーダー情報

製品の説明

DDR2 コンプライアンス・テスト・オプション

製品型式

QPHY-DDR2

オシロスコープ(≧4GHz帯域幅)

4GHz, 20GS/s, 4ch, 16Mポイント/ch	WaveRunner 9404
4-8 GHz, 20 GS/s, 4 ch, 100 Mポイント/ch	WavePro 404HD
高分解能オシロスコープ	WavePro 604HD
	WavePro 804HD
	SDA 804Zi-B
4-30 GHz, 40 GS/s, 4 ch, 20 Mポイント/ch	806Zi-B, 813Zi-B
50Ωおよび1MΩ入力	816Zi-B, 830Zi-B

推奨プローブ

Probus2用4GHz, 2.5Vp-p 差動プローブシステム	D410-A-PB2
Probus2用4GHz, 5Vp-p 差動プローブシステム	D420-A-PB2
Probus2用6GHz, 2.5Vp-p 差動プローブシステム	D610-A-PB2
Probus2用6GHz, 5Vp-p 差動プローブシステム	D620-A-PB2
ProLink用6GHz, 2.5Vp-p 差動プローブシステム	D610-A-PL
ProLink用6GHz, 5Vp-p 差動プローブシステム	D620-A-PL

© 2022 by Teledyne LeCroy. All rights reserved. 仕様、価格、供給性および納期については予告なく変更することがあります。製品名またはブランド名は各社によって申請された登録商標です。



テレデザイン・レクロイ お客様窓口

テレデザイン・ジャパン株式会社

本社 〒183-0006 東京都府中市緑町3-11-5(芳文社府中ビル3F)
TEL : 042-402-9400(代) FAX : 042-402-9586
サービスセンター TEL : 042-402-9401(代) FAX : 042-402-9583
大阪オフィス 〒564-0063 大阪府吹田市江坂町1-14-33(TCSビル4F)
TEL : 06-6330-0961(代) FAX : 06-6330-0965

ホームページ <https://teledynelecroy.com/japan/>
メールでのお問合せ lecroy.contact.japan@teledyne.com