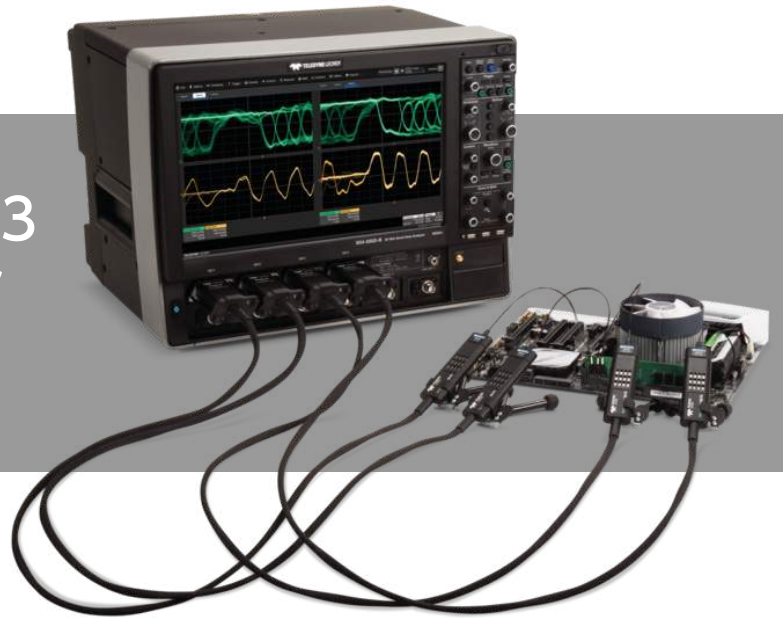


# DDR3、DDR3L、LPDDR3 自動テストソリューション QPHY-DDR3



## 主な機能と特徴

### JEDEC仕様

- DDR3 - JESD79-3F
- DDR3L - JESD79-3-1A
- LPDDR3 - JESD209-3B

### サポートデータレート

- 800 MT / s
- 1066 MT / s
- 1333 MT / s
- 1600 MT / s
- 1866 MT / s
- 2133 MT / s
- カスタム速度

- 多数のサイクルに渡る信号の計測をベースにした統計結果による高い信頼性と、強力な処理能力と最適化した処理による高速性を併せ持つDDR3インターフェース試験の最適な手法
- ワorstケースの測定画面をレポート中に波形の信号名と電圧レベルを明示して添付するので、マージンの確認が容易
- Stop on test/failure機能により、特定のテストで試験を中断して、その場で不良の解析や計測結果のより高度な解析が可能

## 短時間で多数のサイクルを捕捉／解析する処理能力がもたらす高い信頼性の試験

DDR3およびLPDDR3の試験では非常に多様な計測を行わなければならないだけでなく、非常に多数のサイクルに渡る信号を対象にしなければなりません。こうした大量のデータ処理を短時間で行うことができると、捕らえた測定値のワーストケースの信頼性が高くなります。

QualiPHY-DDR3は、他の計測ソリューションが100個の計測を行う間に数千の計測を処理することができます。これにより、時間をかけて何度も繰り返し計測を行うのと同じ信頼性を1回の計測で済んでしまうため、大きな省力化につながります。

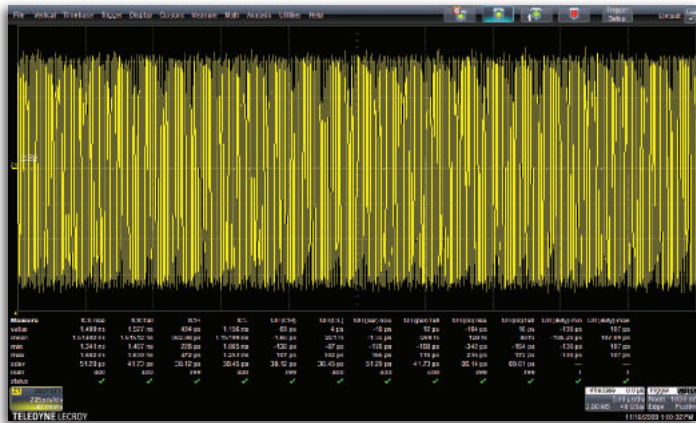
## 先進のデバッグ機能

QualiPHY-DDR3の”Stop on Test”機能を使うと、各試験が終わる度に試験の実行を中断します。その時点で、ソフトウェアが計測設定条件の保存を指示するので、設定条件を保存すれば、不良原因を探るために、オシロスコープの解析機能を使って自由にデバッグすることができます。

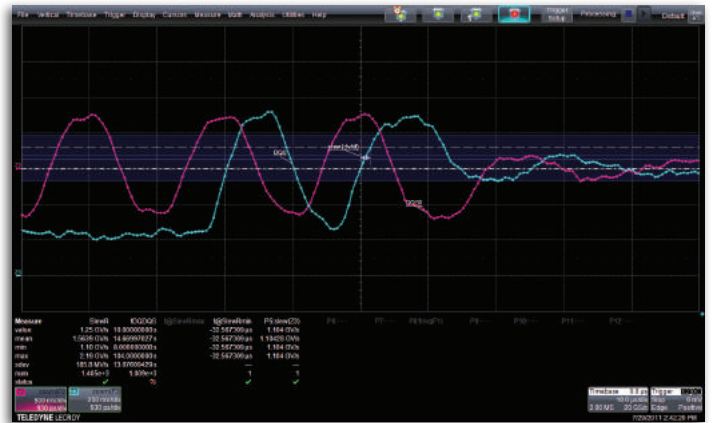
この機能にはSDA IIIシリアル・データ解析機能、EyeDoctor IIシグナル・インテグリティツール、WaveScan波形検索機能、ヒストグラムやトラックなどの統計解析機能などが利用できます。これらの解析機能を使うと、不良とその不良と相関のある現象を簡単に見つけることができます。デバッグ作業が終了すると、”OK”ボタンを押すことで、試験の実行を継続して行うことができます。



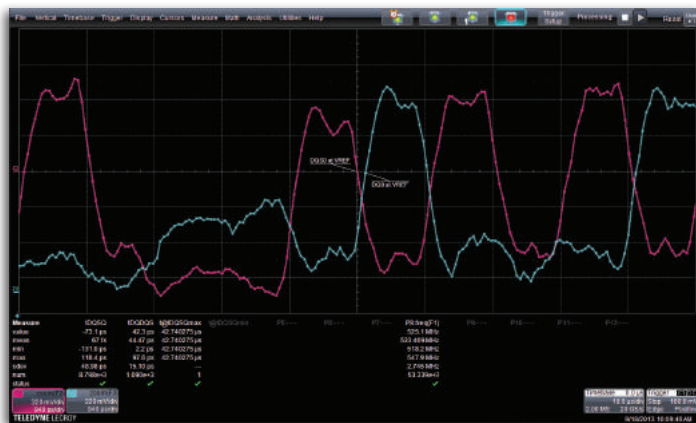
# DDR3、DDR3L、LPDDR3の広範なテスト項目



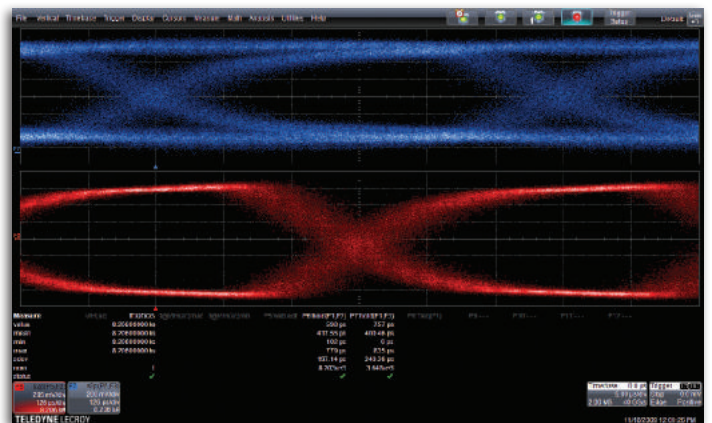
**クロックテスト** – JEDEC仕様書によって規定された全てのクロックテストを実行します。試験の項目には、average clock period, absolute clock period, average high/low pulse width, absolute high/low pulse width, half period jitter, clock period jitter, cycle-to-cycle period jitter やcumulative error over n periodが含まれています。



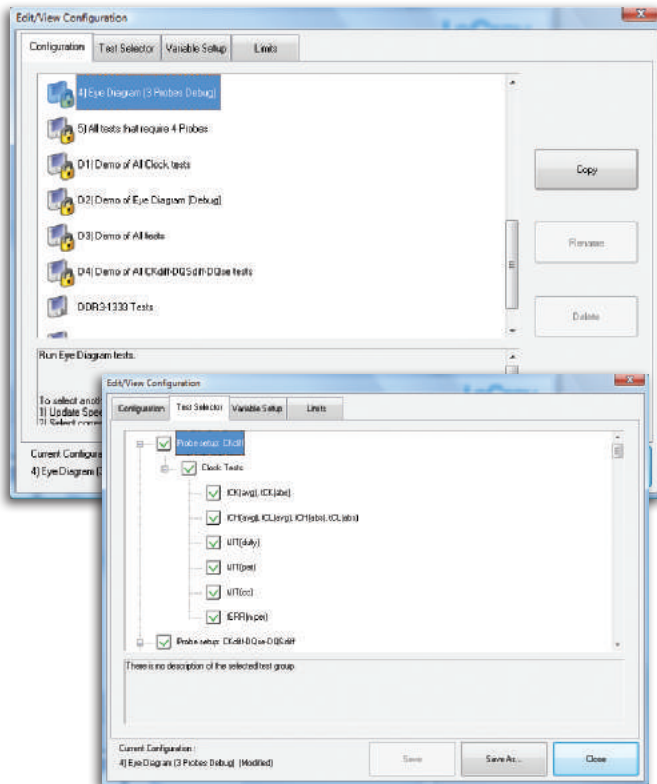
**電気テスト** – SlewRateテストは、データ、ストロープ、クロック信号のスルー・レートを計測します。2Mポイントの信号が捕捉され、その中の全てのライト・バーストが特定されます。その中で全ての立ち上がりエッジが計測されます。この例では、1,400を超えるスルーレートの計測が行われました。上の画面のように、ワーストケースの画面が表示されます。さらに”Stop on Test”機能を使って、原因を究明するさらなる解析を行うことができます。



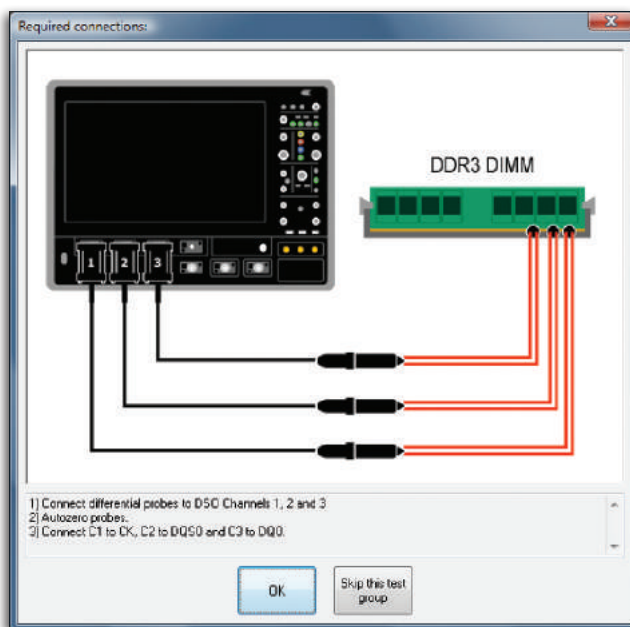
**タイミングテスト** – tDQCKテストで、クロックからストロープ出力のアクセス・タイムを計測します。電気テストと同様に2Mポイントの信号捕捉を行い、リード・バーストが特定されます。その中の全てのストロープとクロックの時間差が計測されます。この例では、10,000個のtDQCKが計測されました。上の画面のように、ワーストケースの画面が表示されます。



**アイパターン** – アイパターンは、シリアル・データ信号のデバッグにおいて非常に強力なツールです。QualiPHY-DDR3では、アイパターンをリード・バースト、またはライト・バーストから描画することができるので、データ信号にレシーバがエラーなく読み取れるのに必要なシグナル・インテグリティがあるかどうかを確認することができます。さらに、データ信号とストロープ信号のアイパターンを同じタイミングで表示させて、ストロープのタイミングを検証することができます。



QualiPHYでは、多くのプリセットされたコンプライアンステスト項目のセットが用意されていますが、新しく独自のテスト項目のセットを作ることも、セットされた項目を制限することもできます。



接続図を見ながら、必要な接続を行うことができます。

**LPDDR3 Test Report**  
Overall result: **Pass**

DUT: LPDDR3-1333  
 Comment: LPDDR3-1333 Test  
 Time of test: 11/10/2009 10:40:18  
 Operator: NL  
 Temperature: 25° C

Configuration in use: Write Burst Tests  
 Limits in use: LPDDR3-1333  
 Standard in use: LPDDR3  
 Oscilloscope Name: LCRY0424H03540 Model: WPF64Z1  
 Oscilloscope Serial #: LCRY0424H03540  
 Computer: LCRY0424H03540

Oscilloscope firmware version: 0.0.0 (Build 100435)  
 QualiPHY core version: 6.0.0.11 (Build 131658)  
 QualiPHY script version: 0.1.3.669  
 Stylesheet version: 1.2.0.4

**Summary Table**

Pass	Test	Measurement	Current Value	Test Criteria
	<a href="#">Eye Diagram (Debug) Clock Speed Grade</a>		1.320980 GHz	Informational Only
	<a href="#">Electrical Clock Speed Grade</a>		1.320980 GHz	Informational Only
	<a href="#">Electrical SlewRate of DQ min</a>		1.4965 GV/s	Informational Only
	<a href="#">Electrical SlewRate of DQS min</a>		4.3662 GV/s	Informational Only
	<a href="#">Electrical SlewRate of CK min</a>		1.4472 GV/s	Informational Only
	<a href="#">Electrical SlewRate of DQ max</a>		1.8540 GV/s	Informational Only
	<a href="#">Electrical SlewRate of DQS max</a>		3.8252 GV/s	Informational Only
	<a href="#">Electrical SlewRate of CK min</a>		11.9175	Informational Only
	<a href="#">Electrical VILoccl Max</a>		1.405 V	$\geq -1.900V$
	<a href="#">Electrical VILoccl Min</a>		1.009 V	$\leq 900 mV$
	<a href="#">Electrical VILoccl Max</a>		853 mV	$\leq 880 mV$
	<a href="#">Electrical VILoccl Min</a>		328 mV	$\leq -800 mV$
	<a href="#">Electrical VILoccl Min</a>		-9 mV	$\geq -400 mV$
	<a href="#">Electrical VILoccl Max</a>		553 mV	$\leq 650 mV$
	<a href="#">Timing Clock Speed Grade</a>		1.320980 GHz	Informational Only

コンプライアンス・レポートは関連する全てのテストされた値、仕様リミット値およびスクリーンキャプチャを含みます。コンプライアンスレポートは、HTML、PDF、またはXML形式で作成できます。

**QualiPHY**

QualiPHYは高速シリアル・バスのコンプライアンス・テストに必要な特別な知識、労力、時間を低減するために設計されています。

- 各テスト設定ごとにユーザーに手順をガイド
- 関連するテスト手順に従って各測定を実行
- 該当する仕様リミット値と各計測値を比較
- 全ての結果を完全にドキュメント化
- QualiPHYはユーザーが毎回正しい方法でテストを実施できるようにお手伝いします！

# 仕様およびオーダー情報

## DDR3、DDR3L、LPDDR3 テスト項目

クロック・テスト		タイミング・テスト(続き)		電気テスト (続き)	
tCK(avg)	Average Clock Period	tQSL	DQS Output Low Pulse Width	VSWING	Peak to Peak Swing
tCH(avg)	Average High Pulse Width	tDIPW	DQ Input Pulse Width	VOH (AC)	AC Output High Level
tCL(avg)	Average Low Pulse Width	tIPW	CTRL/ADD Input Pulse Width	VOL (AC)	AC Output Low Level
tCK(abs)	Absolute Clock Period	tHZ	High Impedance Time	VOHdiff(AC)	AC Differential Output High Level
tCH(abs)	Absolute Clock High Pulse Width	tLZ	Low Impedance Time	VOLdiff(AC)	AC Differential Output Low Level
tCL(abs)	Absolute Clock Low Pulse Width	tRPRE	Read Preamble Pulse Width	VSEL	Single-ended Low Level
tJIT(per)	Clock Period Jitter	tRPST	Read Postamble Pulse Width	VSEH	Single-ended High Level
tJIT(cc)	Cycle to Cycle Period Jitter	tWPST	Write Preamble Pulse Width	Vref (DC)	Vref Level
tJIT(duty)	Duty Cycle Jitter	tDS(base)	DQ Input Setup Time	tDVAC	Allowed Time Before Ringback (Differential)
tERR(nper)	Cumulative Error	tDH(base)	DQ Input Hold Time	tVAC	Allowed Time Before Ringback (Single-ended)
タイミング・テスト		tIS(base)	CTRL/ADD Input Setup Time		AC Overshoot Peak Amplitude
tDQSQ	DQS to DQS skew	tIH(base)	CTRL/ADD Input Hold Time		AC Overshoot Area Above VDDQ
tQH	DQ/DQS Output Hold Time from DQS	電気テスト			AC Undershoot Peak Amplitude
tDQSK	CK to DQS skew (output)	VIHdiff(ac)	AC Differential Input High Level		AC Undershoot Area Below VSSQ
tDQSS	CK to DQS skew (input)	VILdiff(ac)	AC Differential Input Low Level	先進デバッグ	
tDSS	DQS Falling Edge to CK Setup Time	SRQse	Single-ended Output Slew Rate		Eye Diagram of Data and Strobe on Read Burst
tDSH	DQS Falling Edge Hold Time from CK	SRQdiff	Differential Output Slew Rate		Eye Diagram of Data and Strobe on Write Burst
tDQSH	DQS Input High Pulse Width	SlewR	Input Rising Edge Slew Rate		
tDQSL	DQS Input Low Pulse Width	SlewF	Input Falling Edge Slew Rate		
tQSH	DQS Output High Pulse Width	Vix	Differential Input Cross Point Voltage		

## オーダー情報

### 製品の説明

DDR3, DDR3L, LPDDR3 コンプライアンス・テスト・オプション

### 製品型式

QPHY-DDR3

### オシロスコープ(≥6GHz帯域幅)

6-8 GHz, 20 GS/s, 4 Ch, 100 Mpts/Ch  
高分解能オシロスコープ

WavePro 604HD,  
WavePro 804HD

6-30 GHz, 40 GS/s, 4 Ch, 20 Mpts/Ch  
50Ωおよび1MΩ入力

SDA 806Zi-B,  
808Zi-B, 813Zi-B,  
816Zi-B, 830Zi-B

### 推奨プローブ

ProBus2用6GHz、2.5Vp-p 差動プローブシステム	D610-A-PB2
ProBus2用6GHz、5Vp-p 差動プローブシステム	D620-A-PB2
ProLink用6GHz、2.5Vp-p 差動プローブシステム	D610-A-PL
ProLink用6GHz、5Vp-p 差動プローブシステム	D620-A-PL
ProBus2用8GHz、3.5Vp-p 差動プローブシステム	DH08-PB2
ProLink用8GHz、3.5Vp-p 差動プローブシステム	DH08-PL
DH用ソルダークリップ・インサート	DH-SI
DH用クイックリンク・アダプタ	DH-QL

DDR3	推奨帯域幅	推奨オシロスコープ	推奨プローブ
DDR3/ LPDDR3	≥6GHz	WavePro HD 6~8GHzモデル	D610-A-PB2/ D620-A-PB2
(1600MT/s以下)		SDA 8 Zi-B 6-30GHzモデル	D610-A-PL/ D620-A-PL
DDR3/LPDDR3 (1866MT/s以上)	≥8GHz	WavePro 804HD	DH08-PB2
DDR3L (すべての速度)		SDA 8 Zi-B (8-30 GHzモデル)	DH08-PL + DH-SIチップ

※推奨オシロスコープは測定するDDRの規格により異なりますのでご相談ください。

### 推奨オプション

DDR3, DDR3L, LPDDR3, DDR2, LPDDR2 Debug Toolkit	WPHD-DDR3-TOOLKIT WM8Zi-DDR3-TOOLKIT
高性能ディエンベッド、エミュレーション、 バーチャルプローブ・ツールキット	WPHD-VIRTUALPROBE WM8Zi-VIRTUALPROBE
高速ミックスド・シグナル・オプション	HDA125-09-LBUS

© 2022 by Teledyne LeCroy. All rights reserved. 仕様、価格、供給性および納期については予告なく変更することがあります。製品名またはブランド名は各社によって申請された登録商標です。



## テレダイン・レクロイ お客様窓口

テレダイン・ジャパン株式会社

本社 〒183-0006 東京都府中市緑町3-11-5(芳文社府中ビル3F)  
TEL : 042-402-9400(代) FAX : 042-402-9586  
サービスセンター TEL : 042-402-9401(代) FAX : 042-402-9583  
大阪オフィス 〒564-0063 大阪府吹田市江坂町1-14-33(TCSビル4F)  
TEL : 06-6330-0961(代) FAX : 06-6330-0965

ホームページ <https://teledynelecroy.com/japan/>  
メールでのお問合せ [lecroy.contact.japan@teledyne.com](mailto:lecroy.contact.japan@teledyne.com)

御用命は