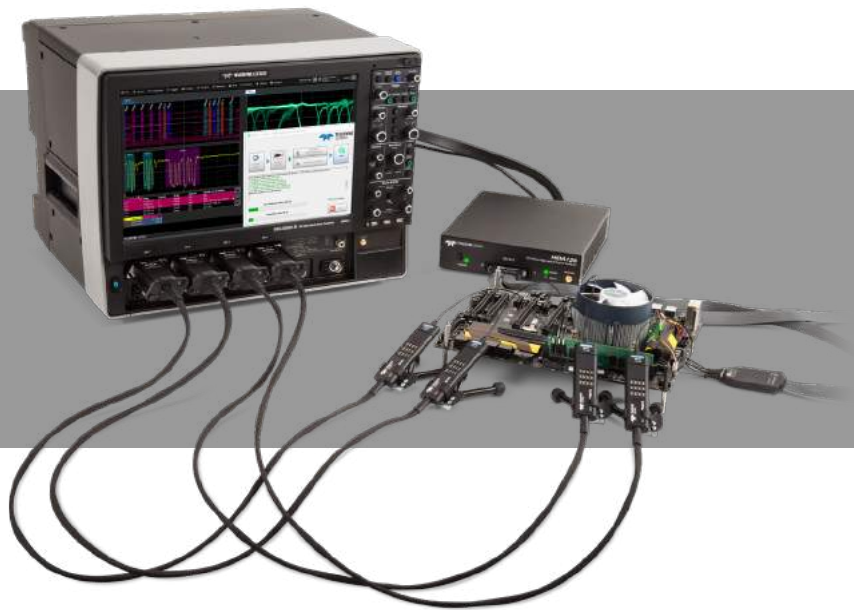


# DDR4 & LPDDR4 自動テストソリューション QPHY-DDR4



## 主な特徴

- JESD79-4BおよびJESD209-4B記載のDDR4およびLPDDR4試験をすべて網羅
- すべての標準およびカスタムスピードグレードに対応
- DQ-DQS位相またはコマンドバスによるバースト分離
- 統計に裏付けられた結果により測定信頼性を向上
- 合否判定結果と十分な注釈つきスクリーンショットが記載されたレポートを生成
- DDR Debug Toolkitの統合により、簡単に柔軟なデバッグを実現
- ディエンベッドとバーチャル・プロービングによるシグナル・インテグリティを最適化

## 正確なバースト分離

HDA125高速デジタルアナライザと併用することで、DQ-DQS位相に基づいて、あるいはコマンドバスに基づいて、ReadバーストとWriteバーストを分離することができます。HDA125では、コントローラから送信されるコマンドを使ってバーストを分離することができるので、反射などの影響でシグナルインテグリティが理想的でない状況でも、正確なバースト分離が可能です。

## 最も柔軟なDDR4/LPDDR4のデバッグ

QPHY-DDR4は、DDR Debug Toolkitを使用して、すべてのコンプライアンステストを実施します。“Stop on Test”機能を使えば、個々のテスト項目ごとにテストを一時停止し、どこで最悪の計測値が生じたかを明確に確認することができます。そこから、さらにデバッグのためにDDR Debug toolkitを使用することができ、ボタンをクリックするだけで、テストをシームレスに再開することができます。

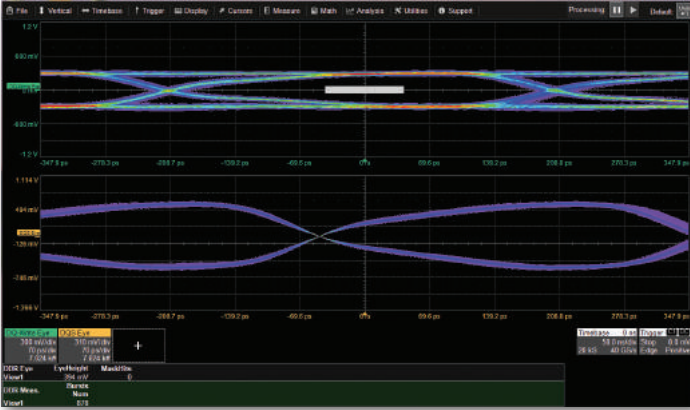
## 測定信頼性

DDRパラメータ計測値には大きなばらつきがあるため、DDR4およびLPDDR4インタフェースの特性を完全に把握するためには、統計的に適切な測定を行うことが重要です。1回の捕捉で数千サイクルを測定することにより、計測値の真の最大・最小ポイントを捉えていることを確信することができます。

## ディエンベッドおよびバーチャルプロービング

テレダイン・レクロイは、DDRプロービングにおいてシグナルインテグリティを最適化するために使用できるソフトウェアツールを提供しています。VirtualProbeパッケージは、物理的に配置できないDRAM BGAにプローブを仮想的に移動させることができ、ディエンベッドによってプローブやインターポザーの影響を取り除くことができます。VP@Rcvr (Virtual Probe at Receiver) 演算機能を使って、DIMMの回路をモデル化し、反射を抑えることができます。

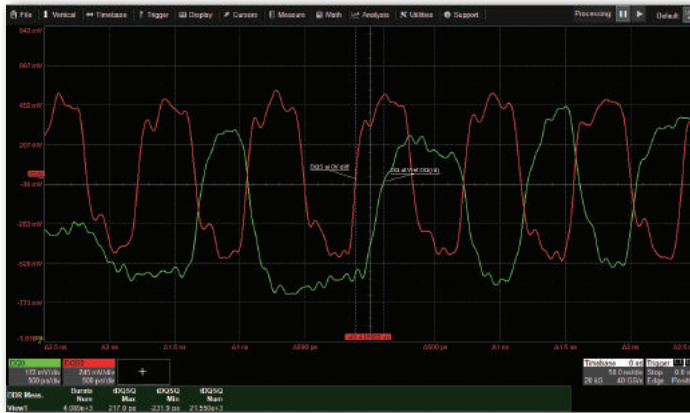
# DDR4およびLPDDR4の広範なテスト項目



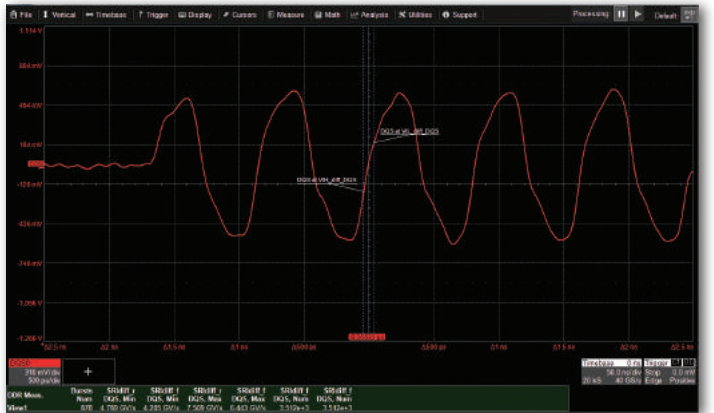
**DQ入力レシーバー・コンプライアンス・マスク** – DDR4 と LPDDR4 の仕様には、従来の DQセットアップとホールドタイムの測定に代わる、DQ入力信号のコンプライアンス・マスクが含まれています。QPHY-DDR4 は、DQ Eyeのマスクを自動的にセンタリングしてマスクヒットをテストし、tDQS2DQ をテストするために必要なDQスクロスポイントからのシフトを表示します。このEyeパターンは、VIHL\_ACのpk-pk要件を計算するためにも使用されます。



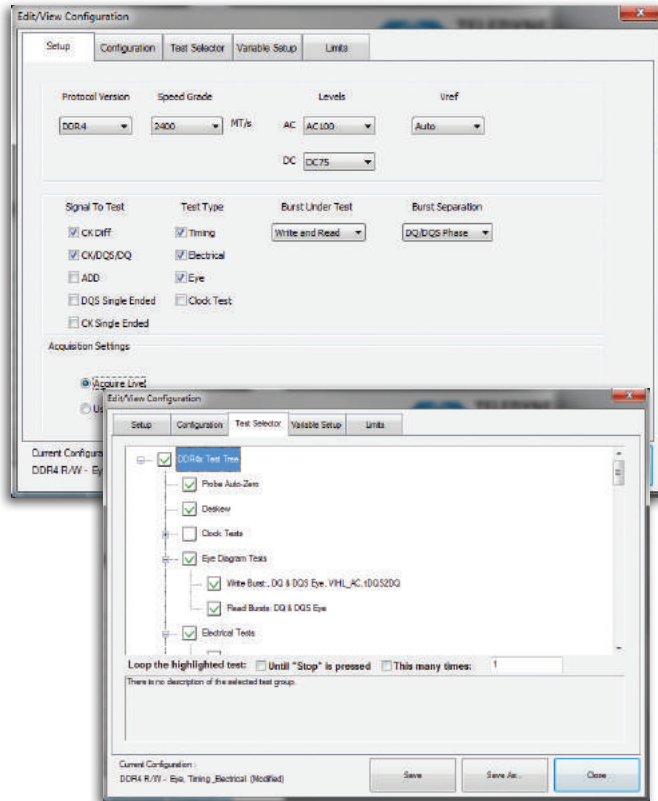
**クロック・テスト** – DDR4の仕様では、クロックジッタをランダム成分とデタミニスティック成分に分けることが要求されていますが、これはDDR仕様として初めてとなります。QPHY-DDR4は、業界をリードするシリアルデータアルゴリズムを活用し、tJIT(per)のジッタブレイクダウンを行います。QPHY-DDR4では、これらのテストに加えて以下のテストが実施されます: average clock period, absolute clock period, average high/low pulse width, absolute high/low pulse width, cycle-cycle jitter, duty cycle jitter, cumulative error over n period



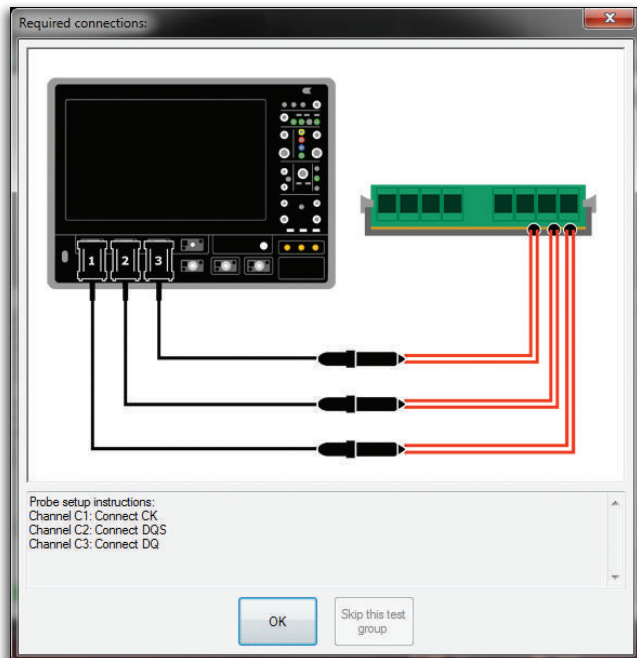
**タイミングテスト** – tDQS2DQは、Readバースト内のDQSと関連するDQの間のスキューを確認します。QPHY-DDR4は、Readバースト内のDQ遷移ごとにこの測定を行います。各テストが完了すると、テスト中の信号のトレースラベルと関連する電圧レベルを含む、完全な注釈付きの「最悪ケース計測値」のスクリーンショットが表示されます。





**電気テスト** – SRI diff, DDR4/LPDDR4の定義によるDQSの入力スルーレートでは、Writeバースト内のすべての立ち上がりエッジと立ち下がりエッジのスルーレートを測定します。QPHY-DDR4は、捕捉した各Writeバースト内のすべての遷移を測定し、短時間で統計的に意味のある結果を提供します。このケースでは、3,000回以上のスルーレート測定が行われており、複数回の捕捉を必要とせず、真の最大・最小ポイントを確実に捉えることができました。



QualiPHYには多くのプリセットされたコンプライアンス設定がありますが、ユーザーが独自の設定やリミットセットを作成することもできます。



接続図を見ながら、必要な接続を行うことができます。

### DDR4 Test Report

**Overall result: Pass**

DUT: DDR4-3400  
 Comment: 12/16/2016 16:07:08  
 Operator: Bob  
 Temperature: 23° C  
 Standard in use: DDR4

Session ID: 33, Continuation #: 1  
 Time of run: 2016/12/16 15:07:09  
 Configuration in use: DDR4 RW - Eye, Timing & Electrical  
 Limits in use: DDR4-3400  
 Oscilloscope Name: SMART-NBW7 Model WMS20Z1-B  
 Oscilloscope Serial #: SMART-NBW7  
 Computer: SMART-NBW7  
 Oscilloscope firmware version: 6.3.0.2 (Build 2310501)  
 QualiPHY core version: 0.8.2.0 (Build 226181)

QualiPHY script version: 0.0.0.892  
 Stylesheet version: 1.2.0.7

#### Summary Table

Pass #	Test	Measurement	Current Value	Test Criteria
1	Clock Speed Grade	Clock Speed Grade	2.4681 GT/s	Informational Only
1	Electrical	IDVAC at VHL.d(RAG).min	334.8 ps	x >= 177.7 ps
1	Electrical	IDVAC at VHL.d(RAG).max	291.3 ps	x >= 184.8 ps
1	Eye Diagram Tests	Eye Mask Test: Write Bursts	0 nbs	x = 0 nbs
1	Eye Diagram Tests	VHL_AC.min	304.3 mV	x >= 160.0 mV
1	Eye Diagram Tests	HDQdDQ	114.3 mUI	-170.0 mUI <= x <= 170.0 mUI
1	Electrical	SRHt_min	4.21 GV/s	x >= 3.00 GV/s
1	Electrical	SRHt_max	7.91 GV/s	x <= 18.00 GV/s
1	Electrical	sr1_min	2.15 GV/s	x >= 1.25 GV/s
1	Electrical	sr1_max	5.20 GV/s	x <= 9.00 GV/s
1	Electrical	sr2_min	2.30 GV/s	x >= 1.25 GV/s
1	Electrical	sr2_max	5.40 GV/s	x <= 9.00 GV/s
1	Electrical	sr2_min	1.25 GV/s	x >= 431 MV/s
1	Electrical	sr2_max	4.49 GV/s	x <= 9.00 GV/s
1	Electrical	sr2_min	1.03 GV/s	x >= 480 MV/s
1	Electrical	sr2_max	4.71 GV/s	x <= 9.00 GV/s
1	Electrical	VDOSP_Max(DQ)	-127 mV	x <= -180 mV
1	Electrical	ADOSP2_Max(DQ)	0.00 pV	x <= 10.00 pV
1	Electrical	ADOSP1_Max(DQ)	42.10 pV	x <= 70.00 pV
1	Electrical	VDOSP_Max(DQ)	-887 mV	x <= 190 mV
1	Electrical	ADUS2_Max(DQ)	0.00 pV	x <= 10.00 pV
1	Electrical	ADUS1_Max(DQ)	1.0e27	x <= 70.00 pV
1	Electrical	SRDse_min	5.2967 GV/s	x >= 4.0000 GV/s
1	Electrical	SRDse_max	8.5812 GV/s	x <= 9.0000 GV/s

コンプライアンス・レポートは関連する全てのテストされた値、仕様リミット値およびスクリーンキャプチャを含みます。コンプライアンスレポートは、HTML、PDF、またはXML形式で作成できます。

## QualiPHY

QualiPHYは高速シリアル・バスのコンプライアンス・テストに必要な特別な知識、労力、時間を低減するために設計されています。

- 各テスト設定ごとにユーザーに手順をガイド
- 関連するテスト手順に従って各測定を実行
- 該当する仕様リミット値と各計測値を比較
- 全ての結果を完全にドキュメント化
- QualiPHYはユーザーが毎回正しい方法でテストを実施できるようにお手伝いします！

# 仕様およびオーダー情報

## DDR4 & LPDDR4 テスト項目

クロック・テスト		タイミング・テスト		電気テスト	
tCK(avg)	平均クロック周期	tDIPW	DQ入力パルス幅	tDVAC *	リングバックまでの許容時間
tCH(avg)	平均ハイパルス幅	tCIPW †	CA/CS入力パルス幅	srr1, srr2 *	立ち上がり入力スルーレート
tCL(avg)	平均ローパルス幅	tQH	DQSからのDQ出力ホールド時間	srf1, srf2 *	立ち下がり入力スルーレート
tCK(abs)	絶対クロック周期	tDQSQ	DQSからDへのスキュー	SRldiff	差動入力スルーレート
tCH(abs)	絶対クロック・ハイパルス幅	tDQSCK	クロックの立ち上がりエッジからDQS出力の立ち上がりエッジまで	SRQse	シングルエンド出力スルーレート
tCL(abs)	絶対クロック・ローパルス幅	tDQSS *	DQS入力立ち上がりエッジからクロック立ち上がりエッジまで	SRQdiff	差動出力スルーレート
tJIT(per)_total *	クロック周期ジッタ - トータル	tDSS	DQS立下りエッジからのCKセットアップタイム	VIX *	差動入力クロスポイント電圧
tJIT(per)_dj	クロック周期ジッタ - デタミニスティック	tDSH	CKからのDQS立下りホールドタイム	VSEL *	シングルエンド・ローレベル
tJIT(cc)	サイクル・サイクル周期ジッタ	tDQSH	DQS入力ハイパルス幅	VSEH *	シングルエンド・ハイレベル
tJIT(duty) *	デューティ・サイクルジッタ	tDQSL	DQS入力ローパルス幅	Vindiff, VIHdiff, VILdiff Vinse †	振幅およびレベル
tERR(nper) *	累積エラー	tQSH	DQS出力ハイパルス幅	VDOSP, VCOSP, VASOP	VDOS以上の最大ピーク振幅
<b>Eyeパターン・テスト</b>		tQSL	DQS出力ローパルス幅	VDUSP, VUS, VAUS	VDUS未満の最大ピーク振幅
Readバースト時のデータおよびストロープEyeパターン		tHZ(DQS)/tHZ(DQ) *	CKからのDQS&DQハイインピーダンス時間	ADOS1, ACOS1, AAOS1	VDDQとVDOS間の1UIあたり最大オーバーシュート面積
Writeバースト時のデータおよびストロープEyeパターン		tLZ(DQS)/tLZ(DQ) *	CKからのDQS&DQローインピーダンス時間	ADOS2, ACOS2, AAOS2	VDOSを超える1UIあたり最大オーバーシュート面積
VdIVW	DQ Rxマスク電圧 - pk-pk	tRPRE	Readプリアンブルパルス幅	ADUS1	VSSQ-VDUS1間の1UIあたり最大アンダーシュート面積
TdIVW	DQ Rxタイミング・ウィンドウ	tRPST	Readポストアンブルパルス幅	ADUS2, ACUS, AAUS	VDUS未満の1UIあたり最大アンダーシュート面積
VIHL_AC	DQ & CA/CS AC入力スイング pk-pk	tWPRE	Writeプリアンブルパルス幅		
tDQS2DQ	Rxマスク DQS-DQオフセット	tWPST	Writeポストアンブルパルス幅		
tQW_total †	コマンドアドレスEyeパターン	tIS *	ADD/CTRL入力セットアップ時間		
VclVW †	CA/CS Rxマスク電圧 - pk-pk	tIH *	ADD/CTRL入力ホールドタイム		
tclVW †	CA/CS Rxタイミング・ウィンドウ				

† LPDDR4のみ  
\* DDR4のみ

## オーダー情報

### 製品の説明

QualiPHY対応DDR4ソフトウェアオプション

QPHY-DDR4

### 推奨オシロスコープ (≥ 13 GHz Bandwidth帯域幅)

SDA 8 Zi-B または LabMaster 10 Zi-A	SDA 8Zi-B	LabMaster 10 Zi-A
LabMaster 10 Zi-A MCM	-	MCM 10 Zi
QPHY-DDR4でサポートされるモデル	813Zi-B~830Zi-B	10-20Zi-A~10-65Zi-A
帯域幅	≥13 GHz	全モデル

### 推奨される高速ミックスドシグナル・ソリューション

9ch, 8GHz QuickLinkリード	HDA125-09-LBUS	HDA125-09-SYNC
セットつき, 12.5GS/s HDA125		
高速デジタル信号アナライザ		

### 製品名

#### 推奨ソフトウェアオプション

DDR4, LPDDR4, DDR3, DDR3L, LPDDR3, DDR2, LPDDR2 Debug Toolkit	WM8ZI-DDR4-TOOLKIT LM10ZI-DDR4-TOOLKIT
高機能ディエンベッド、エミュレーション、パーチャルプローブ・ツールキット	WM8ZI-VIRTUALPROBE LM10ZI-VIRTUALPROBE

#### 推奨プローブ

≥ 13 GHz差動プローブ	SDA 8Zi-B	LabMaster 10 Zi-A
25GHz差動プローブ 2.92mm インタフェース(数量3 or 4)	-	DH25-2.92MM
13 GHz差動プローブ(数量3 or 4)	DH13-PL	-
DHシリーズ ソルダイン・チップ、30GHz帯域、3.5Vppレンジ(数量3 or 4)	DH-SI	DH-SI
HDA125コマンド・バス・プロービング用 DHシリーズ・クイックリンク・アダプター、8GHz帯域	DH-QL	DH-QL

© 2020 by Teledyne LeCroy. All rights reserved. 仕様、価格、供給性および納期については予告なく変更することがあります。製品名またはブランド名は各社によって申請された登録商標です。



## テレダイン・レクロイ お客様窓口

テレダイン・ジャパン株式会社

本社 〒183-0006 東京都府中市緑町3-11-5(芳文社府中ビル3F)

TEL: 042-402-9400(代) FAX: 042-402-9586

サービスセンター TEL: 042-402-9401(代) FAX: 042-402-9583

大阪オフィス 〒564-0063 大阪府吹田市江坂町1-14-33(TCSビル4F)

TEL: 06-6330-0961(代) FAX: 06-6330-0965

ホームページ <https://teledynelecroy.com/japan/>

メールでのお問合せ [lecroy.contact.japan@teledyne.com](mailto:lecroy.contact.japan@teledyne.com)

御用命は